

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-152341

(43)Date of publication of application : 16.06.1995

(51)Int.Cl.

G09G 3/28
G09G 3/30
H04N 5/66
H04N 5/70

(21)Application number : 05-296910

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.11.1993

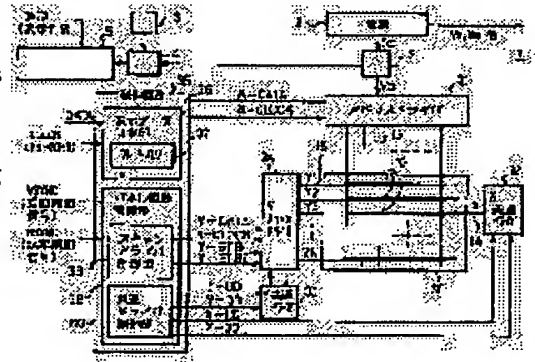
(72)Inventor : FUJISAKI TAKASHI
OTSUKA AKIRA
UEDA TOSHIO
TOMIO SHIGETOSHI
TAJIMA MASAYA

(54) PLANAR DISPLAY DEVICE

(57)Abstract:

PURPOSE: To miniaturize a power supply part by effectively controlling the frequency of data pulses impressed on each address electrode and actively controlling address currents flowing through plural lines of address electrodes.

CONSTITUTION: This device is provided with an address current detecting means 3 detecting an address current value consumed in the unit of one frame displayed on a planar display device 1, a comparator circuit 4 comparing the address current value detected by the address current detecting means 3 with a prescribed reference value and an address frequency control means 5 controlling the address frequency during the display frame in response to the output of the comparator circuit 4. At this time, at the time of displaying a prescribed picture, when the address currents flowing through address electrodes 16 are detected always and the address currents exceed a predetermined and prescribed current, address currents are controlled to be lower than a constant value by lowering the frequency of the pixel display data impressed on respective electrodes 16.



LEGAL STATUS

[Date of request for examination]

05.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2853537

[Date of registration] 20.11.1998

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-152341

(43)公開日 平成7年(1995)6月16日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28	B	9378-5G		
	J	9378-5G		
3/30	J	9378-5G		
H 0 4 N 5/66	1 0 1 B			
5/70	A			

審査請求 未請求 請求項の数 7 O.L (全 13 頁)

(21)出願番号	特願平5-296910	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成5年(1993)11月26日	(72)発明者	藤崎 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	大塚 晃 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	上田 壽男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 宇井 正一 (外4名)

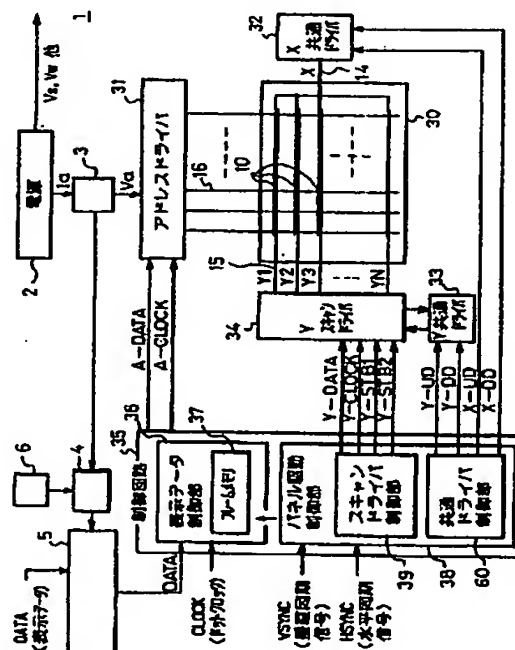
最終頁に続く

(54) 【発明の名称】 平面表示装置

(57) 【要約】

【目的】 電源回路が小さい平面表示装置を得る事を目的とする。

【構成】 平面表示装置で表示される1フレーム単位で消費されるアドレス電流値を検出するアドレス電流検出手段3と、該アドレス電流検出手段3により検出されたアドレス電流値を、所定の基準値と比較する比較回路4、及び当該比較回路4の出力に応答して、表示フレーム中のアドレス周波数を制御するアドレス周波数制御手段5とが設けられている平面表示装置。



【特許請求の範囲】

【請求項1】 表面に電極が配置されている少なくとも2枚の基板が、当該電極部が、互いに直交して対向する様に、隣接して配置され、更に当該電極間に構成される複数の直交部が、それぞれ画素を構成するセル部を形成しており、当該セル部は、当該電極に印加される適宜の電圧に従って、所定量の電荷を蓄積しうるメモリー機能を有している平面表示装置に於いて、当該平面表示装置で表示される1フレーム単位で消費されるアドレス電流値を検出するアドレス電流検出手段と、該アドレス電流検出手段により検出されたアドレス電流値を、所定の基準値と比較する比較回路、及び当該比較回路の出力にตอบสนองして、表示フレーム中の、該アドレス電極のそれぞれに於けるパルス信号の周波数である、アドレス周波数を制御するアドレス周波数制御手段とが設けられている事を特徴とする平面表示装置。

【請求項2】 当該平面表示装置は、プラズマディスプレイである事を特徴とする請求項1記載の平面表示装置。

【請求項3】 当該平面表示装置は、エレクトロルミネセンスディスプレイである事を特徴とする請求項1記載の平面表示装置。

【請求項4】 アドレス電流検出手段により検出される該アドレス電流値は、1フレーム単位で消費されるアドレス電流の平均値である事を特徴とする請求項1記載の平面表示装置。

【請求項5】 当該アドレス周波数制御手段は、各サブフィールドに於いて選択するセルを決める該サブフィールドアドレス信号入力部と、該比較回路の出力にตอบสนองして、出力される制御信号が入力されるゲート手段が複数個並列に配置されており、当該複数のゲート手段を制御する事によって、所定の該サブフィールドアドレス信号の出力を抑制し、当該アドレス周波数を低下せしめる様に構成されている事を特徴とする請求項1記載の平面表示装置。

【請求項6】 当該アドレス周波数制御手段は、各サブフィールドに於いて選択するセルを決める該サブフィールドアドレス信号入力部と、該比較回路の出力にตอบสนองして、出力される制御信号が入力されるゲート手段が複数個並列に配置されており、当該複数のゲート手段を制御する事によって、所定の該サブフィールドアドレス信号の出力を積極的に出力させ、当該アドレス周波数を変更せしめる様に構成されている事を特徴とする請求項1記載の平面表示装置。

【請求項7】 該表示装置に表示される1つのフレームを走査ライン毎に構成される複数のサブフレームに時間的に分割して表示すると共に、該分割された各サブフレームを、更に少なくとも当該複数のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間と、該表示データが書き込まれたセル部を所定の期

間、発光させる維持期間とで構成せしめると共に、該各サブフレームに於ける維持期間の長さに適宜の重み付けをする事により、当該平面表示装置に表示される1フレームの階調を変化させる様に構成されている事を特徴とする請求項1乃至6の何れかに記載の平面表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プラズマディスプレイ装置やエレクトロルミネセンスディスプレイ（EL）装置等の平面表示装置に関するものであり、更に詳しくは、当該平面表示装置に於ける階調駆動操作に於ける、アドレス電流の抑制手段に関するものである。

【0002】

【従来の技術】従来から、プラズマディスプレイ装置やエレクトロルミネセンスディスプレイ（EL）装置等が代表的とされている、平面表示装置、即ちフラット形表示装置は、奥行きが小さく、且つ大型の表示画面が実現されて来ている事から、急速にその用途が拡大され、生産規模も増大して来ている。

【0003】 処で、係る平面表示装置は、一般的には、電極間に堆積された電荷を利用する事によって、発光させて表示するものであり、その一般的な表示原理を、プラズマディスプレイ装置を例に採って、その構造と作動を以下に概略的に説明する。即ち、従来から良く知られているプラズマディスプレイ装置（AC型PDP）には、2本の電極で選択放電（アドレス放電）および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型とがある。

【0004】 一方、カラー表示を行うプラズマディスプレイ装置（PDP）では、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に弱いという欠点がある。上記の2電極型では、当該蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招く恐れがある。

【0005】 これを回避するために、カラープラズマディスプレイ装置では、面放電を利用した3電極構造が一般に用いられている。さらに、この3電極型においても、第3の電極を維持放電を行う第1と第2の電極が配置されている基板に当該第3の電極を形成する場合と、対向するもう一つの基板に当該第3の電極を配置する場合がある。

【0006】 また、同一基板に前記の3種の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。さらに、蛍光体から発せられた可視光を、その蛍光体を透過して見る場合と、蛍光体からの反射を見る場合がある。

【0007】 上記した各タイプのプラズマディスプレイ装置は、何れも原理は、互いに同一であるので、以下で

は、維持放電を行う第1と第2の電極を設けた第1の基板と、これとは別で、当該第1の基板と対向する第2の基板に第3の電極を形成して構成された平面表示装置に付いてその具体例を説明する。即ち、図6は、上記した3電極方式のプラズマディスプレイ装置(PDP)の構成の概略を示す概略的平面図であり、又、図7は、図6のプラズマディスプレイ装置に形成される、一つの放電セル10における概略的断面図である。

【0008】即ち、当該プラズマディスプレイ装置は、図6及び図7から判る様に、2枚のガラス基板12、13によって構成されている。第1の基板13には、互いに平行して配置された維持電極として作動する第1の電極(X電極)14、および第2の電極(Y電極)15を備え、それらは、誘電体層18で被覆されている。更に、該誘電体層18からなる放電面には保護膜としてMgO(酸化マグネシウム)膜等で構成された被膜21が形成されている。

【0009】一方、前記第1のガラス基板13と向かい合う第2の基板12の表面には、第3の電極即ちアドレス電極として作動する電極16が、該維持電極14、15と直交する形で形成されている。また、アドレス電極16上には、赤、緑、青の発光特性の一つを持つ蛍光体19が、該第2の基板12の該アドレス電極が配置されている面と同一の面に形成されている壁部17によって規定される放電空間20内に、配置されている。

【0010】つまり、該プラズマディスプレイ装置に於ける各放電セル10は壁(障壁)によって仕切られている。また、上記具体例に於ける該プラズマディスプレイ装置1に於いては、第1の電極(X電極)14と該第2の電極(Y電極)15とは、互いに平行に配置され、それぞれ対を構成しており、該第2の電極(Y電極)15は、それぞれ個別に駆動されるが、該第1の電極(X電極)14は、共通電極を構成しており、1個のドライバで駆動される構成と成っている。

【0011】又、図8は、図6および図7に示したプラズマディスプレイ装置を駆動するための周辺回路を示した概略的ブロック図であって、アドレス電極16は1本毎にアドレスドライバ31に接続され、そのアドレスドライバ31によってアドレス放電時のアドレスパルスが各アドレス電極に印加される。また、Y電極15は、個別にYスキャンドライバ34に接続されている。

【0012】該スキャンドライバ34は更にY側共通ドライバ33に接続されており、アドレス放電時のパルスはスキャンドライバ34から発生されるが、維持放電パルス等はY側共通ドライバ33で発生し、Yスキャンドライバ34を経由して、Y電極15に印加される。一方、X電極14は当該平面表示装置に於けるパネルの全表示ラインに亘って共通に接続され取り出されている。

【0013】つまり、X電極側の共通ドライバ32は、書き込みパルス、維持パルス等が発生し、これらを同時

平行的に各Y電極15に印加する。これらのドライバ回路は、制御回路によって制御され、その制御回路は、装置の外部より入力される、同期信号や表示データ信号によって制御される。つまり、図8から明らかな様に、該アドレスドライバ31は、制御回路35に設けた表示データ制御部36と接続されており、該表示データ制御部36は、外部から入力される、表示データを示すドットクロック信号(CLOCK)及び表示データ信号(DATA)から、該表示データ制御部36内部に設けられた例えばフレームメモリ等37を使用して、1フレーム内に於いて、選択されるべきアドレス電極のアドレスタイミングに同期させたデータを出力する。

【0014】又、該Yスキャンドライバ34は、該制御回路35に設けられているパネル駆動制御部38のスキャンドライバ制御部39と接続されており、外部から入力される1フレーム(1フィールド)の開始を指示する信号である垂直同期信号 V_{sync} と1水平期間の開始を指示する信号である水平同期信号 H_{sync} にตอบสนองして、該Yスキャンドライバ34を駆動して、該平面表示装置1に於ける複数本のY電極15を1本ずつ順次を選択して、1フレームの画像を表示する事になる。

【0015】図8に於いて、当該スキャンドライバ制御部39から出力されるY-DATAは、当該Yスキャンドライバを1ビット毎にONさせる為のスキャンデータであり、又Y-CLOCKは、該Yスキャンドライバを1ビット毎にONさせる為の転送クロックである。尚、Y-STB1は、該YスキャンドライバをONさせる為のタイミング信号であり、又Y-STB2は、該YスキャンドライバをOFFさせる為のタイミング信号である。

【0016】一方、本具体例に於けるX電極側の共通ドライバ32とY電極側の共通ドライバ33は何れも該制御回路35に設けられた共通ドライバ制御部40に接続されており、該X電極14と該Y電極15とを交互に印加される電圧の極性を反転させながら一斉に駆動して、上記した維持放電を実行させるものである。図に於いて該共通ドライバ制御部40から出力されるX-DDは、X側共通ドライバのON/OFFを制御し、 V_s 及び V_w を出力するもので有り、又図中、該共通ドライバ制御部40から出力されるX-DDは、X側共通ドライバのON/OFFを制御し、QNDを出力するものである。

【0017】又、同様に、該共通ドライバ制御部40から出力されるY-DDは、Y側共通ドライバのON/OFFを制御し、 V_s 及び V_w を出力するもので有り、又図中、該共通ドライバ制御部40から出力されるY-DDは、Y側共通ドライバのON/OFFを制御し、QNDを出力するものである。図9は、図6、図7に示すプラズマディスプレイ装置PDPを駆動する、従来の方法の第1の例を示す波形図であり、いわゆる、線順次駆動・自己消去アドレス方式における1駆動サイクルを示している。

【0018】この例では、まず、この1駆動サイクルに

において、タイミング④に於いて、X電極の電圧を0Vに維持したまま、1フレームを構成する全てのサブフレームに該当するY電極に $-V_s$ の電圧を一斉に印加して、当該表示ラインの全ての波形の位相を整える。係る操作は、前回のフレームに於ける各サブフレームに該当する各表示ラインが、最後に如何なる位相になっているか不明であるので、新しいフレームを表示するに際し、各表示ラインの位相を一致させる事が望ましい事から、上記タイミング④の操作を実行する事が望ましい。

【0019】次に、図9に於けるタイミング⑤に於いては、スキンドライバ共通ドライバ表示データを書き込むべき表示ラインとして選択された表示ライン（以下、選択ラインという）（C）のY電極電位を $-V_s$ レベルとし、一方、選択ライン以外の表示ライン（D）のY電極は0Vレベルとする。（尚、 V_s は維持電圧である。）本具体例に於いては、同時に、X電極に書き込み電圧 V_w が書き込みパルスとして印加される。この瞬間、放電空間19に放電開始電圧（ V_f ）を超える電圧がかかり、放電が開始される。この場合、選択ラインの電圧は $V_s + V_w$ であり、非選択ラインの電圧は V_w である。

【0020】従って、 $V_s + V_w > V_f$ （放電開始電圧） $> V_w$ と設定することで、選択ラインにのみ放電を起こす事が可能である。係る操作によって、該タイミング⑤に於いては、該選択ラインに於ける全セル部10に書き込み操作が実行された事になる。従って、当該選択ライン（C）のX電極14上の保護膜（MgO膜）21には正の壁電荷が蓄積され、選択ラインのY電極15上の保護膜（MgO膜）21には負の壁電荷が蓄積される。

【0021】然しながら、放電が進むにつれて、これらの壁電荷は、放電空間19内の電界を低減させる極性であることから、この放電は直ちに収束にむかい、 $1\mu s \sim$ 数 μs で終結する。次に、図9に於けるタイミング⑥以降に於いて、該X電極14と、選択ラインのY電極15とに交互に、電圧 $-V_s$ からなる維持パルスが印加され、蓄積された壁電荷が電極に印加された電圧に上乗せされ、点灯（発光）させないセルを除き、維持放電が繰り返される。

【0022】本具体例に於いて、点灯させないセル部10に対しては、図9に於けるタイミング⑥に於いて、最初に維持パルスがX電極に印加され、選択ラインのY電極上のMgO膜に負の壁電荷が蓄積された後、選択ラインのY電極に最初に印加される維持パルスに同期させて、点灯させない特定のセル部10に対応するアドレス電極に正の電圧 V_a のアドレスパルスADPを選択的に印加する。

【0023】この場合、選択ラインの全セルに維持放電が起こるが、特に、アドレス電極にアドレスパルスADPを印加したセルにおいては、アドレス電極とY電極間の放電を併発し、Y電極上のMgO膜に正の壁電荷が過

剰に蓄積される。ここに、生成された壁電荷自身で放電開始電圧を超えるような値に電圧 V_a を設定しておく、と、外部電圧を取り除いた時、すなわち、X電極およびY電極を0Vレベル、アドレス電極をGNDレベルとした時、壁電荷自身の電圧による放電が起こる。

【0024】この放電においては、X電極とY電極の電位差が0Vであるため、放電によって発生した空間電荷が壁電荷が、X電極およびY電極のMgO膜上に蓄積されることは無い。よって、空間電荷は、放電空間内で、再結合し中和される。これが自己消去放電である。したがって、以降、維持パルス $-V_s$ が当該X電極及びY電極に交互に印加されても、維持放電が起こらず消去状態となる。なお、点灯させるセルに対しては、対応するアドレス電極にアドレスパルスADPを印加しないため、維持放電のみが起こり、自己消去放電がおこらない。このため、その後印加される維持パルスによって、維持放電を繰り返す。

【0025】このようにして、選択ラインにおける表示データの書き込みが1駆動サイクルにおいて行われるが、この例では、かかる書き込みが1表示ライン毎に行われる。図10はこの様子を表すタイムチャートである。図中、「W」は書き込みの駆動サイクル、「S」は維持放電のみの駆動サイクル、「s」は前のフィールドの維持放電のみのサイクルである。

【0026】また、図11は、図6、図7に示すプラズマディスプレイ装置PDPを駆動するための従来の方法の第2の例を示す波形図であり、いわゆるアドレス/維持放電期間分離型・書き込みアドレス方式における1サブフィールド期間SFを示している。この例では、1サブフィールドSFは、少なくともリセット期間61、アドレス期間62及び維持放電期間63の3つの期間から構成されており、リセット期間61は、前記した様に、新たに1フレーム分の画像を表示する直前に、前回のフレームに於ける各サブフレームの状態を消去する為に、先ず全てのY電極が0Vレベルにされ、同時に、X電極に電圧 V_w からなる書き込みパルスが印加される。

【0027】その後、Y電極15の電圧が V_s 、又X電極14の電圧が0Vとなる事によって、全セル部に於いて維持放電が行われ、これによって、全面書き込み処理が実行され、X電極14に消去パルスEPを印加して、全てのセル部10に於ける記憶情報を一旦消去させる。係る期間をリセット期間60と称している。

【0028】つまり、係る具体例に於いてはリセット期間60においては、まず、全てのY電極が0Vレベルにされ、同時に、X電極に電圧 V_w からなる書き込みパルスが印加される、全表示ラインの全セルで放電が行われる。続いて、Y電極の電位が V_s レベルとなり、同時にX電極の電位が0Vレベルになり、全セルにおいて維持放電が行われる。さらに、X電極とY電極間で消去放電を起こし、壁電荷の削減（一部の壁電荷を中和させ

る)を行う。

【0029】このリセット期間60は、前のサブフレームの点灯状態に係わらず全てのセルを同じ状態にする作用があり、アドレス放電に有利な壁電荷を維持パルスが印加されても放電を開始しないレベルに残す目的がある。次に、本具体例に於いては、該リセット期間60に引き続き、アドレス期間61が設けられており、該アドレス期間61に於いては、表示データに応じた、セルのON/OFFを行うために、線順次でアドレス放電が行われる。まず、Y電極に0VレベルのスキャンパルスSCPを印加すると共に、アドレス電極中、維持放電を起すセル、すなわち、点灯させるセルに対応するアドレス電極に電圧VaのアドレスパルスADPが選択的に印加され、点灯させるセルの書き込み放電が行われる。これにより、当該アドレス電極と選択されたY電極との間に直接的には知覚しえない小放電が発生して、所定の量の電荷が当該セル部10に蓄積される事になり、表示ラインの書き込み(アドレス)操作が終了する。

【0030】以下、順次他の表示ラインについても、同様の動作が行われ、全表示ラインにおいて、新たな表示データの書き込みが行われる。その後、維持放電期間62になると、Y電極とX電極に交互に、電圧がVsからなる維持パルスが印加されて維持放電が行われ、1サブフィールド毎の画像表示が行われる。

【0031】なお、かかるアドレス/維持放電分離型・書き込みアドレス方式においては、維持放電期間の長短、つまり、維持パルスの回数によって、当該表示画面の輝度が決定される。係る表示画面に於ける表示画素の輝度の階調は、各サブフレームに於いて、選択された、サブフィールドの設定条件に基づく維持放電期間63に於ける当該維持放電回数に依存するものであり、換言すれば、当該維持放電期間の長さに依存する事になる。

【0032】つまり、基本的には、該維持放電期間63中に於ける維持放電回数が多い程、輝度は高くなり、逆であれば、当該輝度は低くなる。従って、係る輝度の階調の調整は、各サブフィールド毎の維持放電回数を所定の重みづけに従って予め定められた変更設定した複数種のサブフィールドパターンの中から最適なサブフィールドパターンを適宜選択してそれぞれのサブフィールドに於いて維持放電操作を実行し、それらの合成結果が、当該1フレームの階調表示となるのである。

【0033】つまり、本具体例に於いては、図12に示す様に1フレームを8個のサブフレームSF1~SF8に分割し、それぞれのサブフレームの維持放電期間63の長さを変化させたものである。即ち、各サブフィールドSF1~SF8に於けるリセット期間61とアドレス期間62は、何れも同じ時間的長さを有しているが、維持放電期間63の時間的長さは、各サブフィールド毎によって異なっており、例えば、サブフィールドSF1からサブフィールドSF8のそれぞれの維持放電回数は、

1:2:4:8:16:32:64:128と言うように設定されているものであって、1つのサブフィールドに於ける当該維持放電回数は、係るサブフィールドSF1からサブフィールドSF8の何れか一つ若しくは複数種を、適宜のアドレスを用いて選択する事によって、適宜変更する事が可能である。

【0034】本具体例に於いては、当該サブフィールドの選択の組み合わせによって、1~256階調迄の輝度表示を行う事が可能となる。係る具体例は、アドレス/維持放電分離型・アドレス方式に於いて、スキャンライン数(表示ライン数)が多い場合や、フルカラー表示のために多階調表示を行う場合に利用されており、その具体的構成と動作は、例えば、特開平4-195188号公報に開示されている。

【0035】又、上記具体例に於ける実際の時間配分の1例は以下ようになる。画面の書き換えは60Hzとすると、1フレームは16.6ms(1/60Hz)となる。1フレーム内の維持放電サイクルの回数を510回とすると、各サブフィールドの維持放電サイクルの回数は、SF1が2サイクル、SF2が4サイクル、SF3が8サイクル、SF4が16サイクル、SF5が32サイクル、SF6が64サイクル、SF7が128サイクル、SF8が256サイクルとなる。サステインサイクルの時間を8μsとすると、1フレームでの合計は、4.08msとなる。残りの約12msが8回のアドレス期間に割り当てられる。よって、各サブフィールドのアドレス期間は、約1.5msとなり、各アドレス期間のリセッリ期間に50μs程度必要とすると、500ラインのパネルを駆動するためには、アドレスサイクルは3μsなる。

【0036】このように、アドレス/維持放電分離型・アドレス方式はAC型プラズマディスプレイ装置PDP或いはエレクトロルミネセンスディスプレイ(EL)装置のメモリ機能を利用し、有効に時間を活用した階調表示の方法として、現在最も有利な方法である。

【0037】

【発明が解決しようとする課題】然しながら、係る構成からなるAC型プラズマディスプレイ装置PDP或いはエレクトロルミネセンスディスプレイ(EL)装置のアドレス電流はアドレス電極-アドレス電極間容量充放電電流(以下A-A間電流と言う)、アドレス書き込み電流、アドレスドライブ損失電流の3つに大別できる。

【0038】このうち最大アドレス電流時に最も大きな比率をしめるのがA-A間電流である。このA-A間電流はパネルのアドレス電極間の浮遊容量に対して充放電する電流である。図6を参照しながら説明すると、アドレス電極A1とA2との2本の電極が、近接して配置されているので、該隣接するアドレス電極A1とA2はコンデンサにモデル化できる。

【0039】ここでアドレス電極A₁に入力する信号として以下の方形波を考える。

$$V(t) = V_m F(\omega t)$$

ここで $F(\omega t)$ は0か1かの周期ファクターである。
A2の電位を0とする。このとき流れる電流は該アドレス
電極A₁、A₂間容量をC₁₂とすると

$$I(t) = C_{12} V_m \omega F'(\omega t)$$

である。

【0040】これよりA-A間電流は、A-A間容量、
A-A間電位差、アドレス周波数により決定されるが、
C₁₂、V_mは一般的には変化しないためピーク時のアド
レス電流はアドレス周波数に直接依存すると考えられ
る。従って、当該セル部が、セルチドリパターン状に配
置されている場合には、当該A-A間電流は最も大きく
なる。この場合の電流を保証するためには大型の電源が
必要であり、コスト、実装面において不利である。

【0041】又上記表示パターンの頻度は低いと考えら
れるため定期的な大型の電源が必要になるわけではな
い。従来のプラズマディスプレイ装置PDPにおいては
アドレス電流を能動的に制御出来ないため電源回路に大
型のものが必要になるという欠点があった。従って、本
発明の目的は、係る従来技術に於ける問題を解決し、係
るアドレス電流を自動的に制御出来るようにすることによ
り、消費電力を低減させると同時に必要とされる電源
回路を小型化することによって、効率的で且つ経済的な
平面表示装置を得ることを目的とする。

【0042】

【課題を解決するための手段】本発明は上記した目的を
達成するため、以下に記載されたような技術構成を採用
するものである。即ち、表面に電極が配置されている少
なくとも2枚の基板が、当該電極部が、互いに直交して
対向する様に、隣接して配置され、更に当該電極間に構
成される複数の直交部が、それぞれ画素を構成するセル
部を形成しており、当該セル部は、当該電極に印加さ
れる適宜の電圧に従って、所定量の電荷を蓄積しうるメ
モリー機能を有している平面表示装置に於いて、当該平
面表示装置で表示される1フレーム単位で消費されるアド
レス電流値を検出するアドレス電流検出手段と、該アド
レス電流検出手段により検出されたアドレス電流値を、
所定の基準値と比較する比較回路、及び当該比較回路の
出力にตอบสนองして、表示フレーム中の、該アドレス電
極のそれぞれに於けるパルス信号の周波数である、アド
レス周波数を制御するアドレス周波数制御手段とが設け
られている平面表示装置である。

【0043】又、本発明に於ける好ましい態様の一つと
しては、該表示装置に表示される1つのフレームを走査
ライン毎に構成される複数のサブフレームに時間的に分
割して表示すると共に、該分割された各サブフレーム
を、更に少なくとも当該複数のセル部を選択して適宜
の表示データの書き込み操作を実行するアドレス期間
と、該表示データが書き込まれたセル部を所定の期間、
放電発光させる維持放電期間とで構成せしめると共に、

該各サブフレームに於ける維持放電期間の長さを適宜の
重み付け信号であるサブフィールドアドレス信号に従っ
て個々に変化させる事により、当該平面表示装置に表
示される1フレームの階調を変化させる様に構成されてい
るものである。

【0044】

【作用】本発明に係る平面表示装置は、上記した様な技
術構成を採用しているので、従来のプラズマディスプレ
イ装置PDP及びエレクトロルミネセンスディスプレイ
(EL)装置等からなる平面表示装置において、各アド
レス電極に印加されるデータパルスの周波数を効果的に
制御する事によって、複数本のアドレス電極のそれぞれ
に流れるアドレス電流を能動的に制御する事が出来るの
で、小型の電源回路を用いても十分に当該平面表示装置
を駆動する事が可能となる。

【0045】

【実施例】以下に、本発明に係る平面表示装置の具体例
を図面を参照しながら詳細に説明する。図1は本発明に
係る平面表示装置の原理説明図である。即ち、図1に於
いては、表面に電極が配置されている少なくとも2枚の
基板12、13が、当該電極部が、互いに直交して対向
する様に、隣接して配置され、且つ当該基板間12、1
3に適宜の蛍光体19が挿入されており、更に当該電極
間に構成される複数の直交部が、それぞれ画素を構成
するセル部10を形成しており、当該セル部10は、当
該電極に印加される適宜の電圧に従って、所定量の電荷
を蓄積しうるメモリー機能と放電発光機能とを有してい
る平面表示装置に於いて、該表示装置に表示される1つ
のフレームを走査ライン毎に構成される複数のサブフ
ィールドSFに時間的に分割して表示すると共に、該分割
された各サブフィールドSFを、更に少なくとも当該複
数のセル部10を選択して適宜の表示データの書き込み
操作を実行するアドレス期間62と、該表示データが
書き込まれたセル部10を所定の期間、放電発光させる
維持放電期間63とで構成せしめると共に、該各サブフ
ィールドSFに於ける維持放電期間63の長さに適宜の
重み付けをする事により、当該平面表示装置に表示され
る1フレームの階調を変化させる様に構成され、且つ当
該平面表示装置で表示される1フレーム単位で消費され
るアドレス電流値を検出するアドレス電流検出手段3
と、該アドレス電流検出手段3により検出されたアド
レス電流値を、所定の基準値と比較する比較回路4、及び
当該比較回路4の出力にตอบสนองして、表示フレーム中の
アドレス周波数を制御するアドレス周波数制御手段5とが
設けられている平面表示装置が示されている。

【0046】本発明に係る当該平面表示装置1は、プラ
ズマディスプレイであっても良く、又エレクトロルミネ
センスディスプレイであっても良い。本発明に係る該平
面表示装置は、基本的には、電荷を保持して記憶機能を
発揮する構成のものであれば、如何なる平面表示装置で

も採用可能である。本発明に係る当該平面表示装置 1 に於いては、図 1 に示す様に、適宜の電源回路 1 と該アドレスドライバ回路 3 1 との間に、当該アドレス電流 1 a を検出する電流検出手段 3 を設けるものであり、当該アドレス電流検出手段 3 の回路構成は特に限定されるものではなく、電流検出機能を有するものであれば公知の電流検出手段を使用する事が可能である。

【0047】図 2 には本発明に於いて使用しえるアドレス電流検出手段 3 の一具体例の構成例が示されている。係る具体例によれば、電源 2 とアドレスドライバ回路 3 1 とを接続する配線に、当該アドレス電流検出手段 3 が設けられているもので有って、該配線中に抵抗 R 4 を設けると同時に、バイポーラトランジスタ TR 1 と TR 2 のエミッタを該抵抗 R 4 の両端にそれぞれ接続させ、且つ該トランジスタ TR 1 と TR 2 のベースを共通に接続する。

【0048】一方、該トランジスタ TR 2 のコレクタを抵抗 R 3 を介して接地せしめると共に、当該トランジスタ TR 2 のベースとも接続させておく。又、該トランジスタ TR 1 のコレクタを抵抗 R 1 を介して接地せしめると共に、当該コレクタを抵抗 R 2 を介して容量 C 1 の一端部に接続させ、更にその接続部を後述する比較回路 4 に接続させた構成を有している。

【0049】本発明に於ける該アドレス電流検出手段 3 により検出される該アドレス電流値は、1 フレーム単位で消費されるアドレス電流値であり、好ましくは、複数の連続するフレームでそれぞれ検出されたアドレス電流の平均値を使用する事が望ましい。即ち、本発明に於ける基本的技術思想は、該平面表示装置に於いて画像を表示するに際し、当該画像の表示階調を高める事は、画像が鮮明になり画面を見やすくする反面、それぞれのアドレス電極に於いて、印加される画素データのバルスが増加する事になり、各アドレス電極に流れるアドレス電流は、当該画素データバルスの周波数が大きくなるに従って増大する事になるので、前記した様な問題が発生する事になる。

【0050】本発明に於いては、係る問題を解消する為に、当該平面表示装置に於いて、所定の画像を表示するに際して、常時当該アドレス電極を流れるアドレス電流を検出しておき、当該アドレス電流値が予め定められた所定の値を超えた場合には、当該各アドレス電極に印加される画素表示データの該周波数を低下させる事によって、当該アドレス電流値を一定の値以下に抑制する様に構成されているものである。

【0051】即ち、本発明に於いては、検出された当該アドレス電流値が、一定の値以上となった場合には、各サブフレームに於ける、維持放電期間に於いて、予め定められた維持放電回数の中の何れかを実行させない様にし、つまり予め定められた維持放電する様に設定されているタイミングに於いて、当該維持放電操作をさせない

か、或いは、当該維持放電操作をさせてもその情報を出ししない様に構成する事によって、見掛け上、所定のアドレス電極に於ける画素表示データの ON/OFF バルスの周期を低下させる様にするものである。

【0052】つまり、本発明に於いて制御されるアドレス周波数は、複数の当該アドレス電極のそれぞれに於けるバルス信号の周波数である。従って、本発明に於いては、当該アドレス電極のそれぞれに於いて、流れるアドレス電流を個別に検出して制御する事も可能である

が、効率的には、当該平面表示装置 1 のパネル 3 0 全体を通して流れるアドレス電流の総計を検出する事で実用的な制御が可能であるので、該平面表示装置に於ける表示操作の 1 フレーム単位で当該アドレス電流を検出するか、若しくは複数のフレーム単位で当該アドレス電流を検出し、その平均値を用いて上記の制御を実行する事が望ましい。

【0053】更に、本発明に於ける当該平面表示装置に於ける表示画面の階調制御方法は、前記した様な従来技術を利用するものであるので、その具体的な説明は、ここでは省略するが、当該階調制御に於いては、1 フレームを構成する複数本のサブフレームに相当する Y 電極 1 5 からなる表示ラインのそれぞれに於ける維持放電期間の長さ、換言すれば、当該維持放電期間における維持放電回数を、図 1 2 に示される様な、8 段階に設定されているサブフィールド SF 1 ~ SF 8 の内からその一つ若しくは複数個を予め選択しておき、そのアドレス情報、例えば RD I 0 から RD I 7、を当該表示データ (DATA) の一部に付与しておく。

【0054】前記した様に、係る 8 段階に設定されているサブフィールド SF 1 ~ SF 8 の何れを単独若しくは複数種を組み合わせて、2 5 6 階調に変化する輝度表示が可能となる。そこで、本発明に於いては、当該アドレス周波数制御手段 5 は、各サブフィールドに於いて選択するセルを決める該サブフィールドアドレス信号 (RD I 0 から RD I 7) の入力部 4 0 と、該比較回路 4 の出力にตอบสนองして、出力される制御信号 (R 0 ~ R 7) が入力される入力部 4 1 とが設けられたゲート手段 4 2 が複数個並列に配置されており、当該複数個のゲート手段 4 2 を制御する事によって、所定の該サブフィールドアドレス信号の出力を抑制し、当該アドレス周波数を低下せしめる様に構成されている事が望ましい。

【0055】又、本発明に於ける該比較回路 4 は、例えば、図 2 に示す様に、該電流検出手段 3 からの出力が入力される A/D 変換部 4 3 と、適宜の記憶手段から構成される当該アドレス電流値に関する基準電流値を格納している基準データ出力手段 4 5 とを有し、該 A/D 変換部 4 3 と該基準データ出力手段 4 5 とから出力されるデータを入力して比較し、当該 A/D 変換部 4 3 からの入力データが、該基準データを超えている場合に、所定の制御信号を出力する比較回路 4 6 及び当該各手段の動作

を制御する演算手段 (CPU) 44 とから構成されている。

【0056】本発明に係る該比較手段4に於いては、後述するアドレス周波数制御回路5に対して、図示する様な3種類の独立した制御信号 (SFENO、SFEN1、SFEN2) を出力するものであって、当該制御信号 (SFENO、SFEN1、SFEN2) は、検出されたアドレス電流値のレベルによってそれぞれ論理を変更されて出力されるものである。

【0057】図3は、係る比較回路の出力信号 (SFENO、SFEN1、SFEN2) の論理の例を示すものである。本発明に係る当該アドレス周波数制御手段5は、図2に示す様に、各サブフィールドに於いて選択するセルを決める該サブフィールドアドレス信号RDI0からRDI7が入力される入力部40と、該比較回路4の出力にตอบสนองして、当該アドレス周波数制御手段5に含まれている、所定の制御信号を出力する制御信号生成手段50の出力である制御信号R0からR7が入力される入力部41とが設けられたゲート手段42が複数個並列に配置されており、当該複数個のゲート手段42を制御する事によって、所定の該サブフィールドアドレス信号の出力を積極的に出力させ、当該アドレス周波数を変更せしめる様に構成されているものである。

【0058】尚、本発明に於ける当該制御信号生成手段50は、該比較手段4の出力信号 (SFENO、SFEN1、SFEN2) を受けて図3に示す様な論理を各出力端子R0からR7のそれぞれから出力される様に構成されているものであれば、如何なる論理回路を有するもので有っても使用する事が可能である。即ち、図3に示す当該制御信号生成手段50の論理に関する真理値は、前記したアドレス電流の検出値のレベルに応じて、比較回路4の出力信号 (SFENO、SFEN1、SFEN2) の論理が、図3の様に变化せしめられ、その組合せ論理に従って、該制御信号生成手段50の各出力端からのそれぞれの出力論理が設定されている。

【0059】本具体例に於いては、当該アドレス周波数制御手段5が、ANDゲート回路42で構成されている事を前提として、又該サブフィールドアドレス信号のRDI7が輝度が大きく、つまり維持放電回数が多く設定されているサブフィールドを指定するアドレスであり、該サブフィールドアドレス信号のRDI0が輝度が小さく、つまり維持放電回数が少なく設定されているサブフィールドを指定するアドレスであるとする、アドレス電流の検出値のレベルが低い場合には、当該比較回路4の出力信号 (SFENO、SFEN1、SFEN2) の論理が何れも“L”レベルとなる様に設定されており、それによって、当該制御信号生成手段50の各出力端からのそれぞれの出力論理は、何れも“H”レベルとなる様に設定されている。

【0060】この事は、係るアドレス電流の検出値レベ

ルに於いては、該ANDゲート回路42は全て開放されているので、該サブフィールドアドレス信号RDI0からRDI7の何れかが入力されるとそのアドレス信号は、そのまま該制御回路5から適宜のゲート回路47を介して出力され、該パネル駆動制御部38の共通ドライバ制御部に入力され、維持放電を実行する。

【0061】一方、係るアドレス電流の検出値レベルが、多少増加した場合には、当該比較回路4の出力信号SFENOが“H”レベルとなり他の出力信号SFEN1とSFEN2の論理は“L”レベルのままに維持される。係る状態に於いては、図3の真理値表から明らかな様に、該制御信号生成手段50の出力端の内R0の出力端に於ける出力論理が“L”レベルとなり、その他の出力端のR1～R7迄の各出力端に於ける出力論理は“H”レベルのままとなる。

【0062】この事は、サブフィールドアドレス信号RDI0が入力された場合に於いても、そのサブフィールドアドレス信号RDI0は、該制御回路5から出力されず、マスクされる事になり、その分アドレス周波数が減少する事になる。つまり、係る状態では、若干アドレス電流の検出値レベルが、増加した為、その分を補償する為、サブフィールドアドレス信号 (RDI7～RDI0) をマスクする事によって、アドレス周波数を低減させるものである。

【0063】本発明に於いて、該制御信号生成手段50の出力端の内R0の出力端にマスクをかけたのは、輝度が小さいサブフィールドアドレス信号から消して行く方が、フィールド全体の輝度の変化に与える影響は少ない事によるものである。同様に、更に係るアドレス電流の検出値レベルが、かなり増加した場合には、例えば、当該比較回路4の出力信号SFENOとSFEN1とが“H”レベルとなり他の出力信号SFEN2の論理が“L”レベルのままに維持された場合には、図3の真理値表から明らかな様に、該制御信号生成手段50の出力端の内R0からR2の各出力端に於ける出力論理が“L”レベルとなり、その他の出力端のR3～R7迄の各出力端に於ける出力論理は“H”レベルのままとなる。

【0064】つまり、係る状態では、サブフィールドアドレス信号RDI0からRDI2がデータとして入力された場合でも、該サブフィールドアドレス信号RDI0からRDI2は、該制御回路5から出力されず、マスクされる事になり、その分アドレス周波数が減少する事になる。本発明に於いて、係る階調制御を実行する場合の手順の具体例を図4 (A) と図4 (B) に示すフローチャートに従って説明する。

【0065】即ち、本発明に係る平面表示装置に於いて、ステップ (1) に於いて画像表示操作がスタートすると、ステップ (2) に於いて所定の条件を設定する初期データの設定操作が実行され、実際に表示操作が開始

される。その後ステップ(3)に進み、1フレーム分の画像が表示された場合には、 V_{sync} 信号に同期して、アドレス電流の検出操作を実行する為のサブルーチンの割り込み許可信号が出力され、ステップ(4)に移行して当該サブルーチンがスタートする。

【0066】ステップ(5)に於いては、アドレス電流検出値 I_a と基準電流値 $I_{a_{ref}}$ とが比較され、 $I_a > I_{a_{ref}}$ であればステップ(6)に進み前記した制御操作が実行されステップ(7)に移行してステップ(4)に復帰する。一方、ステップ(5)に於いて、NOであれば、直接ステップ(7)に進みステップ(4)に復帰する。

【0067】尚、本具体例に於いて、カラー表示を行う場合には、前記した該制御回路5が赤、青、緑の3色分が個別に形成され、同様の操作が各色別に行われることになる。又、本発明に係る該アドレス周波数制御回路5の他の例としては、図3に示されるANDゲート回路42を、例えばORゲート回路に置き換える事も可能であり、その場合の該制御信号生成手段50の各出力端から出力される制御信号の真理値表は、図5に示される様なものとなる。

【0068】つまり、本具体例に於いては、前記した具体例とは異なり、サブフィールドアドレス信号 $RDI0 \sim RDI7$ のいずれかが入力されなくてもアドレス電流検出値 I_a の検出結果如何によっては、必要なサブフィールドアドレス信号 $RDI0 \sim RDI7$ が出力される様に構成されるものであり、それによって、アドレス周波数が制御される事になる。

【0069】この場合真理値表は図12のようになり、選択されたサブフィールドのアドレスデータは全てHとなる。

【0070】

【発明の効果】以上説明したように、本発明によればアドレス電流の増加に対してアドレス周波数を自動的に制御することによってアドレス電力を基準値以下に制限することができる。このため電源部の小型化が可能となる。

【0071】又、本発明に係る上記平面表示装置の制御方法は、従来に於ける線順次自己消去アドレス方式及び一括書込み/消去方式の何れにも適用されうるものである。

【図面の簡単な説明】

【図1】図1は、本発明に係る平面表示装置の構成の一例を示すブロックダイアグラムである。

【図2】図2は、本発明に係る平面表示装置に使用されるアドレス周波数制御回路の一具体例の構成を示すブロックダイアグラムである。

【図3】図3は、図2に示されるアドレス周波数制御回路で使用される制御データの真理値表である。

【図4】図4(A)及び図4(B)は、本発明に於ける

アドレス周波数制御操作の手順を示すフローチャートである。

【図5】図5は、本発明に係る他のアドレス周波数制御回路で使用される制御データの真理値表である。

【図6】図6は、従来に於ける平面表示装置の一例を示すブロックダイアグラムである。

【図7】図7は、従来に於ける平面表示装置のセル部の構成例を示すブロックダイアグラムである。

【図8】図8は、従来の平面表示装置を駆動する回路構成を示すブロックダイアグラムである。

【図9】図9は、従来に於ける平面表示装置の駆動サイクルを説明する波形図である。

【図10】図10は、従来に於ける平面表示装置の書き込みと維持放電のタイムチャートである。

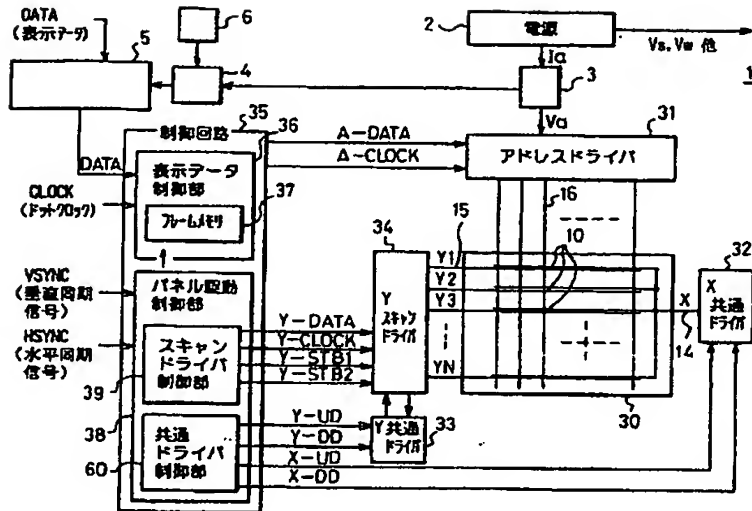
【図11】図11は、従来に於ける平面表示装置の他の駆動サイクルを説明する波形図である。

【図12】図12は、従来に於ける平面表示装置で使用されているサブフィールドの構成例を示す図である。

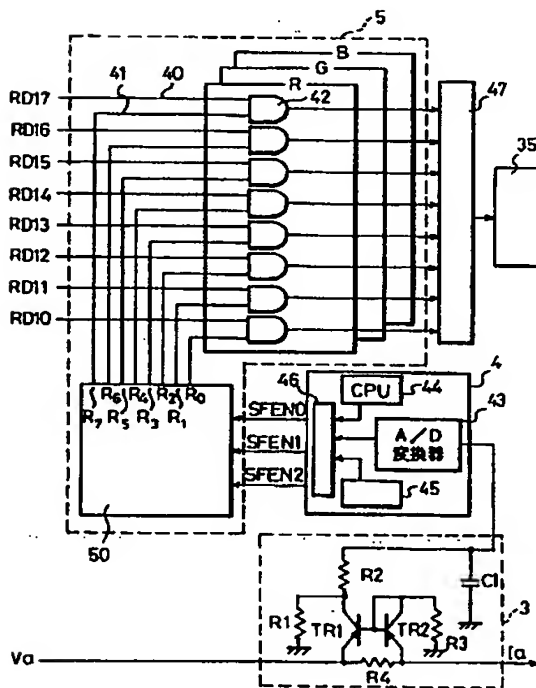
【符号の説明】

- 1…平面表示装置
- 2…電源回路
- 3…アドレス電流検出手段
- 4…比較手段
- 5…アドレス周波数制御手段
- 6、45…基準電流値記憶手段
- 10…セル部
- 12、13…基板
- 14…X電極
- 15…Y電極
- 16…アドレス電極
- 17…壁部
- 18…誘電体層
- 19…蛍光体
- 20…放電空間
- 21…MgO膜
- 30…パネル部
- 31…アドレスドライバ
- 32…X共通ドライバ
- 33…Y共通ドライバ
- 34…Yスキャンドライバ
- 35…制御回路
- 36…表示データ制御部
- 37…フレームメモリ
- 38…パネル駆動制御部
- 39…スキャンドライバ制御部
- 60…共通ドライバ制御部
- 40、41…ANDゲート入力部
- 42…ANDゲート
- 43…A/D変換部
- 44…CPU

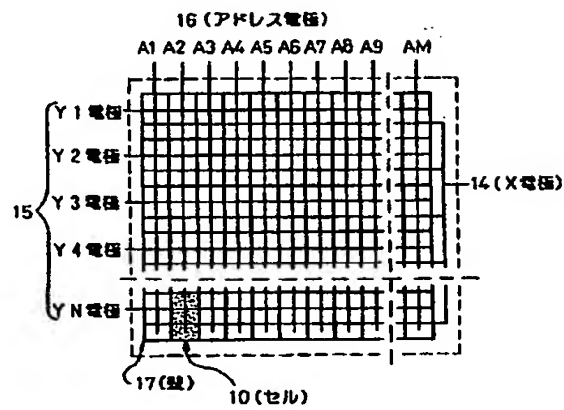
【図 1】



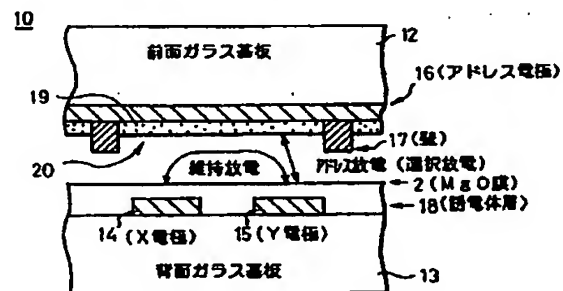
【圖2】



【圖6】



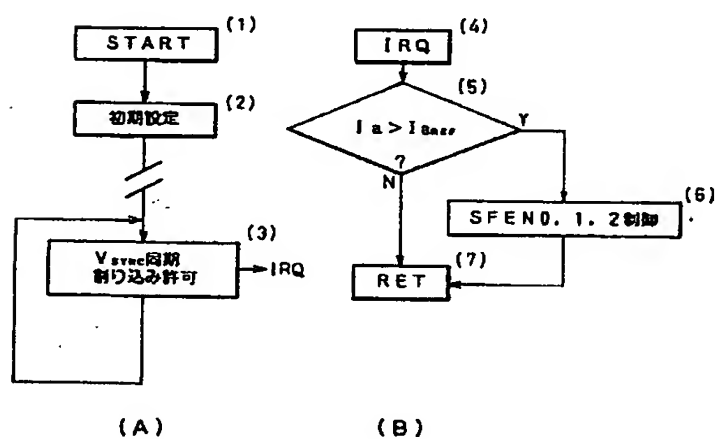
【图7】



【圖 3】

SFEN 0	SFEN 1	SFEN 2	R.G.B ₀	R.G.B ₁	R.G.B ₂	R.G.B ₃	R.G.B ₄	R.G.B ₅	R.G.B ₆	R.G.B ₇
L	L	L	H	H	H	H	H	H	H	H
H	L	L	L	H	H	H	H	H	H	H
L	H	L	L	L	H	H	H	H	H	H
H	H	L	L	L	L	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H
H	L	H	L	L	L	L	L	H	H	H
L	H	H	L	L	L	L	L	L	H	H
H	H	H	L	L	L	L	L	L	L	H

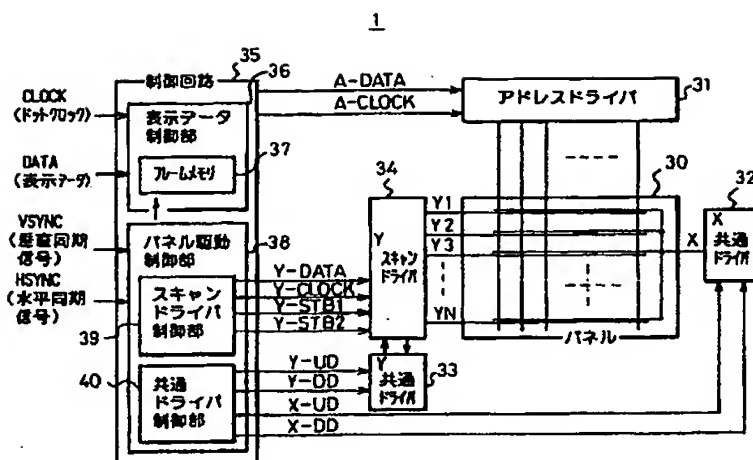
【圖4】



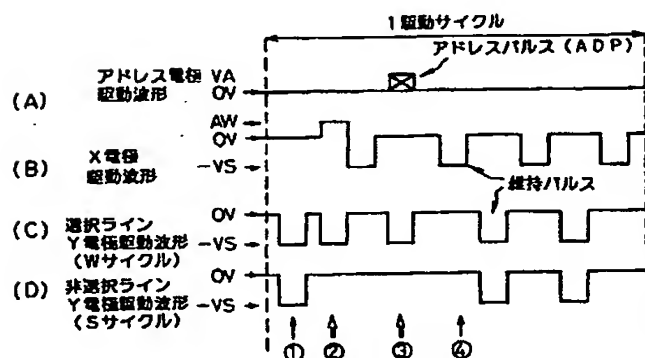
【圖5】

[illegible]

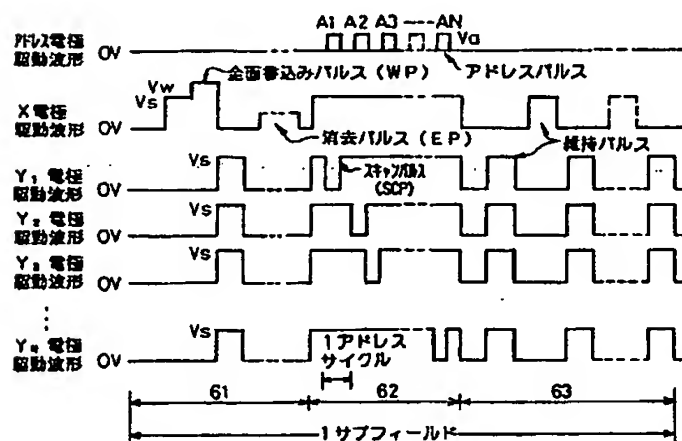
【図8】



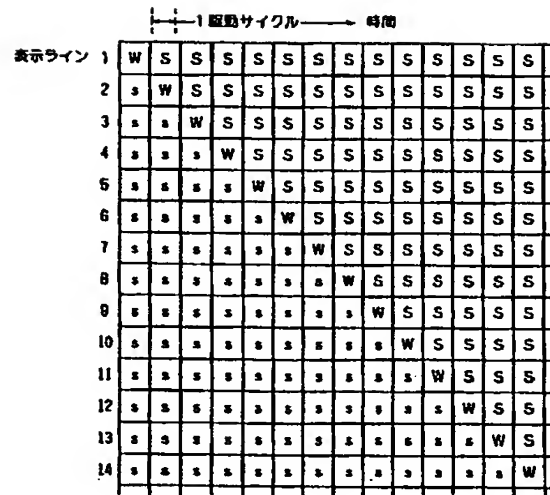
【図9】



【図11】

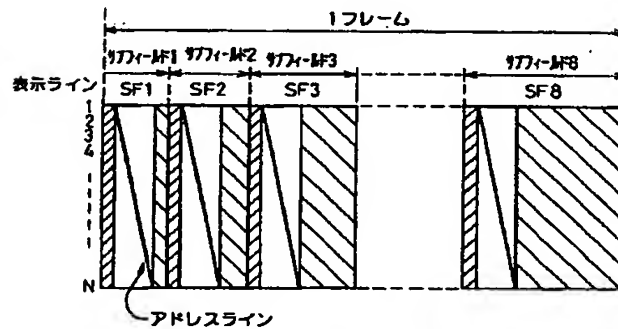


【図10】



W: 書き換えの駆動サイクル
 S: 維持放電のみの駆動サイクル
 ※: 前フィールドの維持放電のみの駆動サイクル

【図12】



- リセット期間 (61): 全てのセルの状態を同じにする。
- リセット期間 (62): 1ライン毎に、表示セルの選択を行う。
- 維持放電期間 (63): 選択されたセルで維持放電を行う。

フロントページの続き

(72)発明者 富尾 重寿
 神奈川県川崎市中原区上小田中101番地
 富士通株式会社内

(72)発明者 田島 正也
 神奈川県川崎市中原区上小田中101番地
 富士通株式会社内